

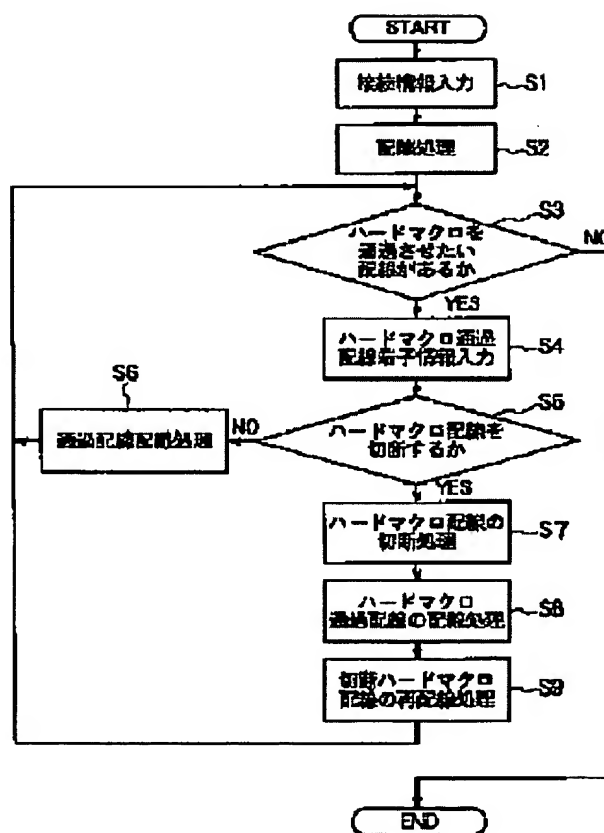
# AUTOMATIC WIRING METHOD FOR MACRO CIRCUITRY OF LSI OF EMBEDDED ARRAY SYSTEM

**Patent number:** JP9064190  
**Publication date:** 1997-03-07  
**Inventor:** UMEZAWA YOSHIKI  
**Applicant:** OKI ELECTRIC IND CO LTD  
**Classification:**  
 - international: H01L21/82; G06F17/50  
 - european:  
**Application number:** JP19950219234 19950828  
**Priority number(s):**

## Abstract of JP9064190

**PROBLEM TO BE SOLVED:** To take a non-roundabout pass wiring in hardware macro circuitry in LSI of an embedded array system.

**SOLUTION:** In processes of steps S1 and S2, information input and a wiring processing are conducted and hardware macro circuitry and peripheral circuits thereof are wired. A request for passing a wiring through the hardware macro circuitry is inputted at a step S3 and information on terminals of the hardware macro pass wiring is inputted at a step S4. It is judged at a step S5 whether the initial wiring of the hardware macro circuitry laid beforehand needs to be cut or not. In the case when the wiring of the hardware macro circuitry needs to be cut, it is cut at a step S7. The pass wiring is



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64190

(43) 公開日 平成9年(1997) 3月7日

(51) Int.Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/82			H 0 1 L 21/82	C C1-3, F1
G 0 6 F 17/50			G 0 6 F 15/60	6 5 8 E

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平7-219234

(22) 出願日 平成7年(1995) 8月28日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 梅沢 義秋

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

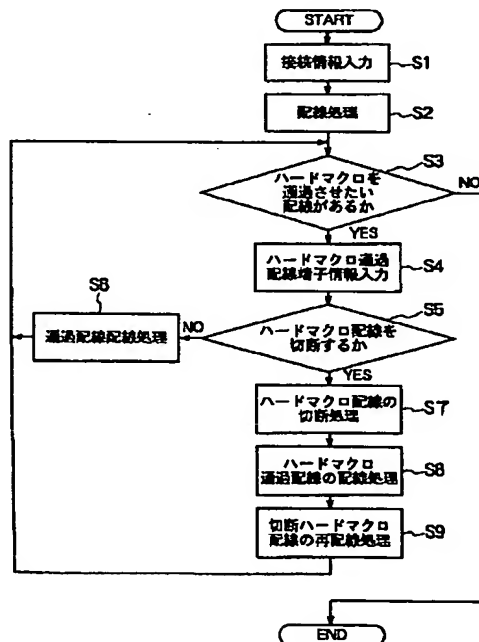
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 エンベデッドアレイ方式LSIのマクロ自動配線方法

(57) 【要約】

【課題】 エンベデッドアレイ方式のLSI中のハードマクロに、迂回しない通過配線を取込む。

【解決手段】 ステップS1, S2の処理で、情報入力と配線処理が行なわれ、ハードマクロとその周辺回路が配線される。ステップS3でハードマクロを通過させたい要求が入力され、ステップS4でそのハードマクロ通過配線端子情報が入力される。予め初期配線されたハードマクロの配線を切断する必要がある有無がステップS5で判断される。ここで、ハードマクロの配線を切断する必要がある有無の場合、ステップS7でそれが切断される。ステップS8で通過配線の配線が行なわれ、ステップS9で、切断されたハードマクロの配線が、初期とは異なる配線で再配線される。結果として、通過配線がハードマクロに取込まれる。



## 【特許請求の範囲】

【請求項1】 エンベデッドアレイ方式のLSIの設計に際し、マクロの配置及び配線を行うエンベデッドアレイシステムにエンベデッドアレイ上のハードマクロを通過させたい配線を通過配線データとして取込み、前記エンベデッドアレイシステムを用いて、予め配線されている前記ハードマクロ内の初期配線と前記通過させたい配線とを該ハードマクロの領域内で再配線することを特徴とするエンベデッドアレイ方式LSIのマクロ自動配線方法。

【請求項2】 前記初期配線は、予め配線グリッドを決め、そのグリッド上にグリッド間隔の整数倍で配線して前記ハードマクロを形成しておき、前記エンベデッドアレイシステムに、グリッド単位で前記初期配線の切断と前記ハードマクロ内の再配線とを行わせることを特徴とする請求項1記載のエンベデッドアレイ方式LSIのマクロ自動配線方法。

【請求項3】 エンベデッドアレイ方式のLSIの設計に際し、エンベデッドアレイシステムを用いてマクロの配置及び配線を行うエンベデッドアレイ方式LSIのマクロ自動配線方法において、前記エンベデッドアレイシステムにエンベデッドアレイ上のハードマクロを通過させたい配線を通過配線データとして取込むと共に、該通過させたい配線の配線経路による遅延の制限値を取込み、前記エンベデッドアレイシステムを用いて、予め配線されている前記ハードマクロ内の初期配線と前記通過させたい配線とを該ハードマクロの領域内で再配線し、再配線された通過させたい配線における遅延を計算して前記制限値と比較し、その通過させたい配線の遅延が該制限値を越えた場合には、該エンベデッドアレイシステムを用いて、該通過させたい配線に対して他の経路を選択して再度再配線するタイミングドリブ処理を行うことを、特徴とするエンベデッドアレイ方式LSIのマクロ自動配線方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CAD (Computer Aided Design) ツール等を用いたエンベデッドアレイ方式のLSIの配線設計において、特にハードマクロ上の通過配線の処理を行うエンベデッドアレイ方式LSIのマクロ自動配線方法に関するものである。

## 【0002】

【従来の技術】従来、このような分野の技術としては、例えば次の文献に記載されるものがあった。

文献1；特開平6-326190号公報

文献2；“GARDS Command Reference Manual” 1 (1994-9) シルバーリスコ社発行 (米国)

マクロには、ソフトマクロと擬似ハードマクロとハードマクロがあるが、上記文献1には、ハードマクロのビルディング・ブロック方式の自動配線方法が記載される

いる。その請求項によると、マクロ上通過データをマクロの配線データに変更し、マクロを自動再配線する機能を備えたものである。即ち、マクロ上の通過データがあることを想定し、予め配線されたマクロは、特に通過データを取り込むために、1部の配線層を未配線の状態にして設計されている。さらに、この文献1ではビルディング・ブロック方式のLSIのみに適用される技術であった。文献2には、シーオプゲート型ゲートアレイ (以下、SOGという) の配線領域が指定されている擬似マクロ上の通過データを配線データに変更し、マクロを自動再配線する機能が説明されている。文献2中のFigure 1-2のMulti-layer ECO に、その機能を実行するコマンド群が紹介されている。まず、複数のマクロの配線情報 “Original Design File” から、コマンド “RDUMP” により、再配線したいマクロまたは領域の配線情報 “SRF” を抽出する。次に、配線情報 “SRF” に対して、コマンド “REDIT” により、通過させたい配線情報を取り込んで再配線する。その結果、“New Design File”、つまり再配線されたマクロまたは領域を取込んだマクロ配線情報が生成される。

## 【0003】

【発明が解決しようとする課題】しかしながら、従来の配線方法では、次のような課題があった。文献1の方法では、マクロの配線可能総層数に対して、1層少ない配線層で予め初期のマクロを作成して置くため、すべての配線層を使用した場合に比べ、マクロの集積度が劣る。マクロを通過する配線のデータを取込まず、その初期マクロをそのまま使用する場合には、LSIの集積度が低下するという問題があった。また、マクロを通過する配線のデータを取込まない場合で、マクロサイズを小さくするために、LSIにマクロを配置した後に全配線層を使用してマクロを再配線する場合、初期のマクロの閉じた領域でタイミング検証が終了していたとしても、再配線後に再度タイミング検証をする必要が生じる。よって、LSIの製作期間が長くなると共に、開発費も増大するという問題もあった。また、文献1ではゲートアレイの下地を伴うマクロを多数接続したLSIを対象、つまり、ビルディングブロック方式で用いるマクロを対象としており、エンベデッドアレイ方式のマクロを対象にしていない。さらにエンベデッドアレイ方式は、下地を予め作成しておくことができるため、ビルディングブロック方式のLSIよりも、開発及び改修期間が格段に短いとされている。文献1には、このエンベデッドアレイ方式のLSIをカバーしていないという、不足問題もある。文献2では、SOGのアレイ上に形成される擬似ハードマクロのみを対象とし、通過配線のマクロ内への取込みを可能にしているが、ハードマクロへの通過配線の取込みは不可能である。これがハードマクロの迂回配線を多発させ、周辺回路の配線遅延が増大する原因になっていた。

## 【0004】

【課題を解決するための手段】第1及び第2の発明は、エンベデッドアレイ方式のLSIの設計に際し、エンベデッドアレイ方式LSIのマクロ自動配線方法において、マクロの配置及び配線を行うエンベデッドアレイシステムにエンベデッドアレイ上のハードマクロを通過させたい配線を通過配線データとして取込み、前記エンベデッドアレイシステムを用いて、予め配線されている前記ハードマクロ内の初期配線と前記通過させたい配線とを該ハードマクロの領域内で再配線するようにしている。第3の発明によれば、エンベデッドアレイ方式のLSIの設計に際し、エンベデッドアレイシステムを用いてマクロの配置及び配線を行うエンベデッドアレイ方式LSIのマクロ自動配線方法において、次のようなタイミングドリブン処理を行うようにしている。タイミングドリブン処理は、前記エンベデッドアレイシステムにエンベデッドアレイ上のハードマクロを通過させたい配線を通過配線データとして取込むと共に、該通過させたい配線の配線経路による遅延の制限値を取込み、前記エンベデッドアレイシステムを用いて、予め配線されている前記ハードマクロ内の初期配線と前記通過させたい配線とを該ハードマクロの領域内で再配線し、該通過させたい配線における遅延を計算して前記制限値と比較する。そして、その通過させたい配線の遅延が該制御値を越えた場合には、該エンベデッドアレイシステムを用いて、該通過させたい配線に対して他の経路を選択して再度再配線する。

【0005】第1及び第2の発明によれば、以上のようにエンベデッドアレイ方式LSIのマクロ自動配線方法を構成したので、エンベデッドアレイ方式のLSIでハードマクロを通過させたい配線が発生した場合、エンベデッドアレイシステムに対して通過させたい配線を通過配線データとして取込ませる。そのエンベデッドアレイシステムにより、予め配線されているハードマクロ内の初期配線と通過させたい配線とが、ハードマクロの領域内で自動再配線される。即ち、通過させたい配線をハードマクロに取込むことになる。従って前記課題を解決できるのである。第3の発明によれば、エンベデッドアレイシステムを用いてエンベデッドアレイ方式LSIのマクロの配置及び配線を行うが、その際に、タイミングドリブン処理が行われる。タイミングドリブン処理では、エンベデッドアレイシステムに通過配線データと、該通過させたい配線の遅延の制限値とを取込み、ハードマクロ内の初期配線と通過させたい配線とを該ハードマクロの領域内で再配線する。そして、再配線された通過させたい配線における遅延が計算されて制限値と比較される。比較の結果、通過させたい配線の遅延がその制限値を越えた場合には、エンベデッドアレイシステムを用いて、再度再配線が行なわれる。即ち、最初の再配線で設定された通過させたい配線の配線経路において、遅延が

制限値よりも越えたときには、他の経路が選択されて再度再配線される。従って、前記課題を解決するとともに、遅延特性を満足する再配線が可能となる。

## 【0006】

## 【発明の実施の形態】

## 第1の実施形態

図1は、第1の実施形態を示すエンベデッドアレイ方式LSIのマクロ自動配線方法のフローチャートである。この自動配線方法は、CADで構成された自動配置・配線装置であるエンベデッドアレイシステムを用いたLSIの設計方法であり、特に、ハードマクロを通過する配線を処理するものである。この自動配線方法は、ハードマクロとその周辺回路の接続情報を受けるステップS1の情報入力処理と、ステップS1に続くステップS2の配線処理とを有している。ステップS2の次には、ステップS3のハードマクロを通過させたい配線があるかどうかを判定する処理を行い、通過させたい配線のある場合にはステップS4のハードマクロ通過配線端子情報入力処理を行い、通過させたい配線が無い場合には一連の処理を終了する構成である。ステップS4の次には、ステップS5のハードマクロ内の配線を切断する必要があるかないかを判断する処理を行うようになっている。ステップS5の処理で、ハードマクロ配線を切断する必要がないと判断された場合、ステップS6の通過配線処理が行われた後、処理はステップS3に戻るようになっている。ステップS5の処理で、切断する必要があると判断された場合、ステップS7のハードマクロ配線の切断処理が行われ、続くステップS8で、ハードマクロ通過配線の配線処理が行われるようになっている。ステップS8の後のステップS9で、切断ハードマクロ配線の再配線処理が行われ、ステップS3に処理は戻る構成となっている。

【0007】次に、エンベデッドアレイ方式のLSIにおけるマクロ自動配線方法を、順を追って説明する。まず、ステップS1において、ハードマクロとその周辺回路の回路接続情報をエンベデッドアレイシステムに入力する。このときのハードマクロは予め初期配線されている。ステップS2において、エンベデッドアレイシステムは、それら回路接続情報に基づき、ハードマクロの周辺回路同士及びハードマクロと該周辺回路に対して配線処理をする。その後のステップS3において、オペレータは配線処理結果に対して判定を行う。配線処理された配線のうち、特にハードマクロを通過させたいという要求が発生した場合、オペレータは“YES”をエンベデッドアレイシステムに入力し、要求のない場合は“NO”を入力して処理を終了する。

【0008】図2(i)、(ii)は、エンベデッドアレイ方式のLSIの平面図である。図2(i)、(ii)には、SOG10と複数のハードマクロ11、12、13がそれぞれ示されている。例えば、図2(i)のように、

配線Lにハードマクロ12を通過させた場合はよいが、図2(ii)のように配線Lをマクロ12に対して迂回配線すると、遅延特性が悪化する。遅延特性を改善するために、ハードマクロを通過させたい配線がある場合、つまり“YES”を入力した場合、ステップS4において、ハードマクロのどの外形上の経路を通過させて通過配線するか、ハードマクロの外形の座標a、bを指定することで、通過情報を入力する。即ち、ハードマクロ通過配線端子情報を入力する。エンベデッドアレイシステムは、指定された外形の座標a、bを読取ると共に、その座標a、bを、通過させたい配線の通過座標として認識する。そして、ステップS5において、エンベデッドアレイシステムは、後の通過配線の配線処理のために、ハードマクロに既に配線された初期配線を切断する必要があるか否かを判断する。

【0009】図3(i)、(ii)は、図2中のハードマクロの配線例を示す斜視図である。この図3には、ハードマクロを形成する3つの配線層A1、A2、A3が示されている。図3(i)のように、配線層A2、A3に初期配線のハードマクロ配線L<sub>1</sub>があつて、配線層A3上の座標a、bを直接接続できなくても、配線層A1を介することで、座標a、b間を接続することが可能である。それに対して、図3(ii)では、ハードマクロ配線L<sub>1</sub>をどこかで切断しないと、座標a、bを接続することはできない。図3(ii)のように、ハードマクロ配線L<sub>1</sub>を切断する必要があると判断された場合、エンベデッドアレイシステムは、通過配線の配線経路を既に配線されているハードマクロ配線L<sub>1</sub>の配線密度等から、切断箇所を決定する。また、切断の必要がないと判断された場合には、ハードマクロ配線L<sub>1</sub>を切断することなく、ステップS6で通過配線を配線処理し、再び通過配線情報をオペレータに要求する。

【0010】ハードマクロ配線L<sub>1</sub>の切断が必要であると判断された場合には、ステップS7のハードマクロ配線L<sub>1</sub>の切断処理を行なう。ステップS7において、ステップS5で決定された配線経路と交差するハードマクロ配線の領域を、作図基準を満足するように切断する。例えば、グリッドの間隔をきめてグリッドの整数倍の間隔、幅でハードマクロの配線をしており、グリッド単位で切断を行なう。ステップS7の後のステップS8で、通過配線に対する配線処理を行う。さらに、ステップS8の後のステップS9で、エンベデッドアレイシステムは、初期とは異なった経路でハードマクロ内の配線をする、つまり切断ハードマクロの再配線処理を行う。

【0011】以上のように、この第1の実施形態では、ハードマクロを通過させたい配線を通過配線データとして、ステップS4でエンベデッドアレイシステムに取込み、既に配線されているエンベデッドアレイ上のハードマクロの配線とその通過させたい配線とをステップS7及びステップS8で、ハードマクロの領域内で再度配線

するようにしているので、ハードマクロ周囲の配線におけるハードマクロを迂回する配線が減少し、ハードマクロの周囲を高集積化できる。また、ハードマクロ周囲の回路において、周囲回路同士を接続する配線の短縮が可能となり、その短縮分、配線遅延が減少し、高速で動作する場合に発生するクリティカルパスが減少する。また、ハードマクロの初期において、グリッドを決めて、グリッドの整数倍で配線しておくことにより、エンベデッドアレイシステムが容易にハードマクロ配線の切断と、通過配線の配線と、再配線を行うことができるようになり、エンベデッドアレイシステムの処理時間が短縮され、グリッドを決めない場合に比べて、処理費用も低減できる。

#### 【0012】第2の実施形態

図4は、本発明の第2の実施形態を示すエンベデッドアレイ方式LSIのマクロ自動配線方法のフローチャートである。この自動配線方法は、第1の実施形態を示す図1におけるステップS4のハードマクロ通過配線端子情報入力処理とステップS5の切断処理判定との間に、タイミングドリブン処理を行う機能を設けていることが、特徴である。タイミングドリブン機能は、ステップS4の処理の後に行われるステップS21の遅延制限情報入力処理と、ステップS21の後のステップS22の仮想配線処理と、仮想配線処理の後のステップS23のタイミング判定処理と、ステップS24の前記仮想配線の他に通過配線経路が存在するか否かを判定する処理とで構成されている。仮想配線処理は、ハードマクロの通過配線をそのハードマクロに仮に配線する処理であり、ステップS23のタイミング判定処理の結果、“NG”であった場合にはステップS24で、他の通過配線経路が存在するか否かを判定する処理をするようになっている。ステップS24の判定結果で、通過配線経路が他にある場合には処理はステップS22に戻り、新たな仮想配線処理を行い、他の通過配線経路がない場合には、一連の処理を終了するようになっている。また、ステップS23のタイミング判定処理の結果が“GOOD”であった場合には、各ステップS5～S9の処理が第1の実施例と同様に、それぞれ行われる構成である。

【0013】次に、図4のエンベデッドアレイ方式LSIのマクロ自動配線方法の説明を順序を追って、説明する。まず、ステップS1において、ハードマクロとその周辺回路の回路接続情報をエンベデッドアレイシステムに入力する。このときのハードマクロは予め配線されている。ステップS2において、エンベデッドアレイシステムは、それら接続情報に基づき、ハードマクロの周辺回路同士及びハードマクロと該周辺回路に対して配線処理をする。その後のステップS3において、オペレータは配線処理結果に対してハードマクロを通過させたい配線があるか判定を行う。配線処理された配線のうち、特にハードマクロを通過させたいという要求が発生した場

## 7

合、オペレータは“YES”をエンベデッドアレイシステムに入力し、要求のない場合は“NO”を入力して処理を終了する。ハードマクロを通過させたい配線がある場合、つまり“YES”を入力した場合、ステップS4において、ハードマクロのどの外形上の経路を通過させて通過配線するか、ハードマクロの外形の座標を指定することで、通過情報を入力する。即ち、ハードマクロ通過配線端子情報を入力する。エンベデッドアレイシステムは、指定された外形の座標を読取ると共に、その座標を、通過させたい配線の通過座標として認識する。

【0014】ステップS21の遅延制限情報入力処理において、オペレータはハードマクロ通過配線の信号伝送遅延の制限値、つまり単位長さ当りの遅延からなる遅延制限情報をエンベデッドアレイシステムに入力する。なお、遅延制限情報は、S4、S3、S2、S1のステップの前に入力してもよい。この制限情報によって、設計された通過配線の適否が判定されることになる。ステップS21の後のステップS22で、エンベデッドアレイシステムは仮想配線処理を行い、ハードマクロ通過配線を仮に配線する。この仮の配線に対してエンベデッドアレイシステムは、配線長等の遅延要因を抽出し、仮の配線における信号伝送遅延を算出する。ステップS23のタイミング判定処理において、エンベデッドアレイシステムは、ステップS22で算出した信号伝送遅延と、ステップS21で得られた信号伝送遅延の制限値とを比較する。算出した信号伝送遅延が制限値よりも、小さい場合、つまり、“GOOD”の場合、処理はステップS5の切断処理判定に進む。以降、第1の実施例の実施例と同様の処理が行なわれる。ステップS23の判定処理において、算出した信号伝送遅延が制限値を越えた場合、つまり“NG”の場合、ステップS24において、エンベデッドアレイシステムは、前記仮の配線と異なった経路でハードマクロの通過配線を再配線できるか判定する。判定結果で、再配線が可能の場合には、処理はステップS22に戻って、該ステップS22とステップS23のルーチンを繰り返す。再配線が不可能の場合、即ち“NO”の場合には、制限値を満足する配線が不可能であるとして、再配線の処理を中止し、全体の処理を終了する。

【0015】以上のように、本実施形態では、ステップS21の遅延制限情報入力処理と、ステップS21の後のステップS22の仮想配線処理と、仮想配線処理の後のステップS23のタイミング判定処理と、ステップS24の仮の配線の他に通過配線が存在するか否かを判定する処理とを設け、タイミングドリブン処理を行うようにしている。そのため、タイミングドリブン機能が付加され、ハードマクロの通過配線が所望の遅延を満たすことになり、再配線上の遅延によって生じるハードマクロ周辺回路の論理エラーが減少し、ハードマクロも含む全体の配線の中で、クリティカルパスが減少できる。クリ

## 8

ティカルパスが減少すると、機能開発におけるフィードバックルーチンの回数が減少し、エンベデッドアレイの開発費及びTAT（製作期間）が減少する。

【0016】なお、本発明は、上記実施形態に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) 第1～第3の実施形態では、再配線の処理をステップS7→ステップS8→ステップS9の順に行うようにしているが、ステップS8→ステップS7→ステップS9の順に行ってもよい。即ち、ハードマクロの初期配線を切断する必要があっても先に通過させたい配線を配線し、この配線と既にある初期配線との交差する部分において、該初期配線を切断してハードマクロの再配線を行うのである。このようにしても、上記実施形態と同様の効果が得られる。

(2) 第3の実施形態では、第1の実施形態にタイミングドリブン機能を取り入れているが、他のエンベデッドアレイLSIのマクロ自動配線方法にタイミングドリブン機能を設けるようにしても、通過配線が所望の遅延を満たすことになり、タイミング検証の省略が可能となる。

## 【0017】

【発明の効果】以上詳細に説明したように、第1の発明によれば、エンベデッドアレイシステムにハードマクロを通過させたい配線を通過配線データとして取込み、そのエンベデッドアレイシステムを用いて、ハードマクロ内の初期配線と通過させたい配線とを該ハードマクロの領域内で再配線するようにしているので、例えば、ハードマクロを通過させたい配線が存在する場合、ハードマクロ周囲の配線におけるハードマクロを迂回する配線が減少し、ハードマクロの周囲を高集積化できる。また、ハードマクロ周囲の回路において、周囲回路同士を接続する配線の短縮が可能となり、その短縮分、配線遅延が減少し、高速で動作する場合に発生するクリティカルパスが減少する。また、ハードマクロを通過させたい配線がない場合、初期配線のされたハードマクロがそのまま採用できるので、ハードマクロ内のタイミング検証を省略でき、従来例に比べてタイミング検証の煩わしさを低減である。

【0018】第2の発明によれば、第1の発明におけるハードマクロの初期配線は、予め配線グリッドを決め、そのグリッド上にグリッド間隔の整数倍で配線してハードマクロを形成しておき、エンベデッドアレイシステムに、グリッド単位で前記初期配線の切断とハードマクロ内の再配線とを行わせるようにしているので、第1の発明における再配線の処理が容易になる。第3の発明によれば、エンベデッドアレイ方式LSIのマクロ自動配線方法において、タイミングドリブン処理を行うようにしているので、ハードマクロの通過配線が所望の遅延を満たすことになり、再配線によって生じるハードマクロ周

辺回路の論理エラーが減少し、ハードマクロも含む全体の配線の中で、クリティカルパスが減少できる。クリティカルパスが減少することにより、機能開発及び配置・配線におけるフィードバックルーチンの回数が減少し、エンベッドアレイの開発費及びTATが減少する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すエンベッドアレイ方式LSIのマクロ自動配線方法のフローチャートである。

【図2】エンベッドアレイ方式のLSIの平面図である。

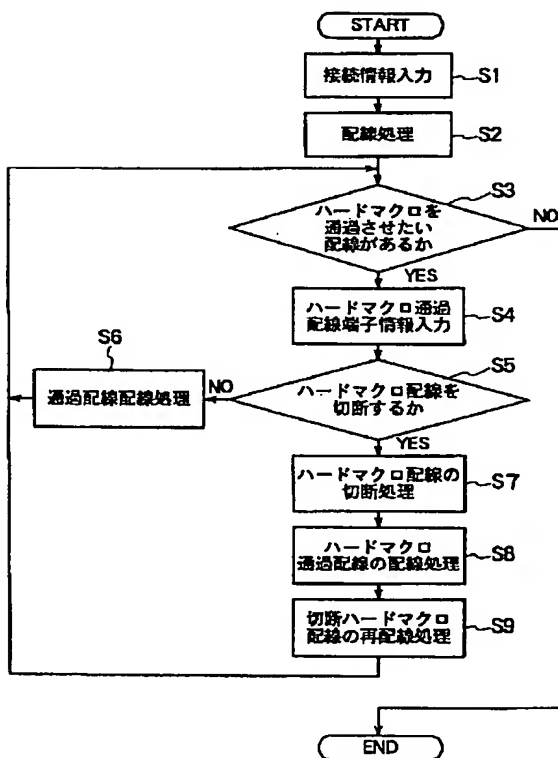
【図3】図2中のハードマクロ内の配線例を示す斜視図である。

【図4】本発明の第2の実施形態を示すエンベッドアレイ方式LSIのマクロ自動配線方法のフローチャートである。

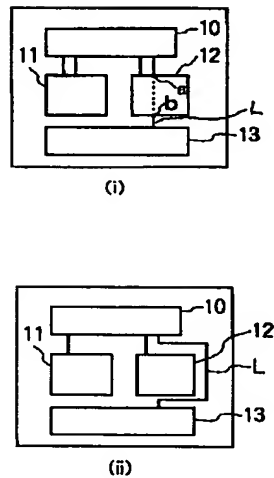
【符号の説明】

- S 1 情報入力処理
- S 2 配線処理
- S 3 ハードマクロを通過させたい配線があるかどうかを判定する処理
- S 4 ハードマクロ通過配線端子情報入力処理
- S 5 ハードマクロ内の配線を切断する必要があるかないかを判断する処理
- S 7 ハードマクロ配線の切断処理
- S 8 ハードマクロ通過配線の配線処理
- S 9 切断ハードマクロ配線の再配線処理
- S 2 1 遅延制限情報入力処理
- S 2 2 仮想配線処理
- S 2 3 タイミング判定処理
- S 2 4 仮の配線の他に通過配線経路が存在するか否かを判定する処理

【図1】



【図2】



エンベッドアレイ方式のLSI

【図3】

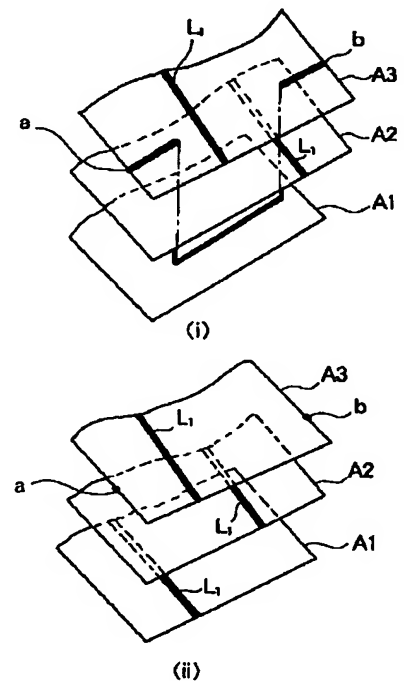
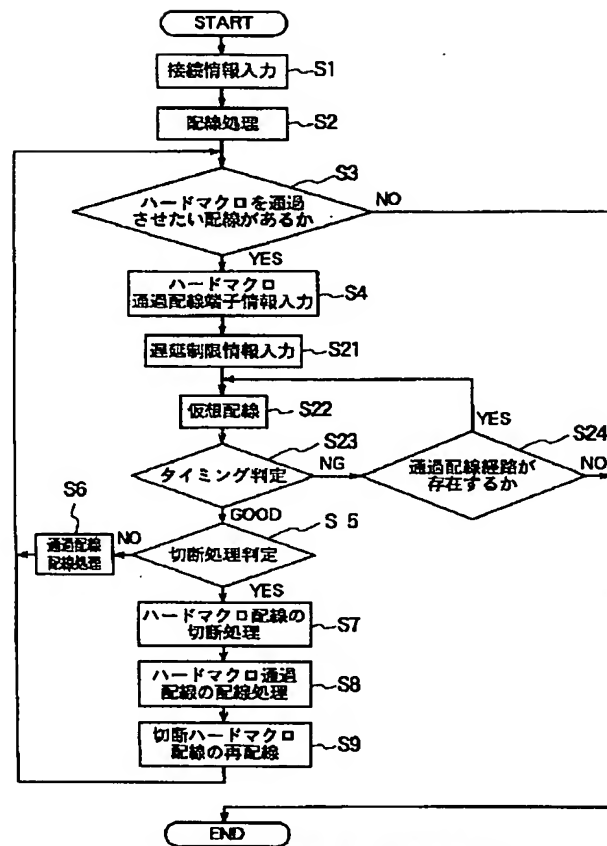


図2中のハードマクロ内の配線例

【図 4】



本発明の第 2 の実施形態の自動配線方法